

**FSK DEMODULATION CIRCUIT**

Patent Number: JP8237320  
Publication date: 1996-09-13  
Inventor(s): KOTANI MAKOTO  
Applicant(s): PFU LTD  
Requested Patent: ☐ JP8237320  
Application Number: JP19950041499 19950301  
Priority Number(s):  
IPC Classification: H04L27/156  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To attain digitization by simple constitution concerning an FSK demodulation circuit.  
**CONSTITUTION:** A waveform shaping means 1 shape the waveform of an inputted FSK signal to form a digital signal corresponding thereto and outputs it. A counter 2 counts a digital signal outputted by the waveform shaping means 1 and outputs the count signal of plural bits. A reset means 3 resets the counter 2 at a period being a prescribed period specified by the two frequencies of the FSK signal and a bit rate period and is capable of dividing the bit rate period into plural periods. An output means 4 forms one of the logical levels of the digital signal based on the count signal outputted by the counter 2 and outputs it as a demodulation output.

---

Data supplied from the esp@cenet database - I2

使用後返却します

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-237320

(43) 公開日 平成8年(1996)9月13日

(51) Int.Cl.<sup>5</sup>

H 0 4 L 27/156

識別記号

庁内整理番号

F I

H 0 4 L 27/14

技術表示箇所

H

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21) 出願番号 特願平7-41499

(22) 出願日 平成7年(1995)3月1日

(71) 出願人 000136136

株式会社ビーエフユー

石川県河北郡宇ノ気町宇宇野気ヌ98番地の  
2

(72) 発明者 小谷 誠

石川県河北郡宇ノ気町宇宇野気ヌ98番地の  
2 株式会社ビーエフユー内

(74) 代理人 弁理士 森田 寛 (外1名)

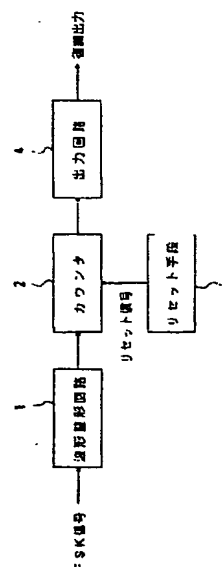
(54) 【発明の名称】 FSK復調回路

(57) 【要約】

【目的】 本発明は、FSK復調回路に関し、簡単な構成でデジタル化することを目的とする。

【構成】 波形整形手段1は入力されたFSK信号についての波形整形を行ってこれに対応するデジタル信号を形成して出力する。カウンタ2は波形整形手段1の出力するデジタル信号をカウントして複数ビットのカウント信号を出力する。リセット手段3はFSK信号の2個の周波数及びビットレート周期で定まる所定の周期であってビットレート周期を複数の周期に分割しうる周期でカウンタ2をリセットする。出力手段4はカウンタ2の出力するカウント信号に基づいてデジタル信号の論理レベルのいずれかを形成して復調出力として出力する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 入力されたFSK信号についての波形整形を行って、これに対応するデジタル信号を形成して出力する波形整形回路と、  
前記波形整形回路の出力するデジタル信号をカウントして複数ビットのカウント信号を出力するカウンタと、  
FSK信号の2個の周波数及びビットレート周期で定まる所定の周期であって前記ビットレート周期を複数の期間に分割しうる周期を有するリセット信号で前記カウンタをリセットするリセット手段と、  
前記カウンタの出力するカウント信号の値に基づいてデジタル信号の論理レベルのいずれかを形成し、これを前記リセット手段が形成するリセット信号に同期して復調出力として出力する出力回路とを備えることを特徴とするFSK復調回路。

【請求項2】 前記カウンタは複数ビットの単位バイナリカウンタを縦列接続してなるバイナリカウンタからなり、  
前記リセット手段は発振回路からなり、  
前記出力回路はDフリップフロップからなり、  
前記発振回路は、FSK信号の2個の周波数及びビットレート周期と前記バイナリカウンタのビット数とで定まる所定の周期で発振し、この発振出力を前記リセット信号として出力し、  
前記Dフリップフロップは、前記バイナリカウンタの最上位ビットの出力を取り込み、これに基づいて前記デジタル信号の論理レベルのいずれかを形成して前記発振回路の発振出力に同期して出力することを特徴とする請求項1に記載のFSK復調回路。

【請求項3】 前記出力回路は第1及び第2のDフリップフロップとORゲート回路とからなり、  
前記第1のDフリップフロップが、前記バイナリカウンタの最上位ビットの出力を取り込み、これに基づいて前記デジタル信号の論理レベルのいずれかを形成して前記発振回路の発振出力に同期して出力し、  
前記ORゲート回路が、前記第1のDフリップフロップの出力と前記バイナリカウンタの最上位ビットの出力とを取り込み、その論理和を形成して出力し、  
前記第2のDフリップフロップが、前記発振回路の発振出力に同期して、前記ORゲート回路の出力を取り込んで出力することを特徴とする請求項2に記載のFSK復調回路。

【請求項4】 前記カウンタは複数ビットの単位バイナリカウンタを縦列接続してなるバイナリカウンタからなり、  
前記リセット手段は発振回路からなり、  
前記出力手段は、所定のアドレスにデジタル信号の論理レベルのいずれか一方を予め格納する記憶素子とDフリップフロップとからなり、  
前記発振回路は、FSK信号の2個の周波数及びビット

レート周期で定まる所定の周期で発振し、この発振出力を前記リセット信号として出力し、  
前記記憶素子は、前記バイナリカウンタの複数ビットの出力をアドレス信号として取り込んで、当該アドレスに格納されたデジタル信号の論理レベルを出力し、  
前記Dフリップフロップが、前記記憶素子の出力を取り込んで前記発振回路の発振出力に同期して出力することとを特徴とする請求項1に記載のFSK復調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、FSK復調回路に関し、特に、比較的簡単な構成のデジタル回路からなるFSK復調回路に関する。

【0002】

【従来の技術】図4は従来技術説明図であり、図4

(A)は従来のFSK (frequency shiftkeying、周波数偏移変調) 復調回路の構成を示し、図4 (B)は従来のFSK復調回路の動作を示す。

【0003】図4 (A)に示すFSK復調回路におい

て、受信されたFSK (変調) 信号aがリミッタ101に入力される。受信されたFSK信号aは図4 (B)に示す波形である。FSK信号aは、その周波数が偏移されており、デジタル信号の「0」(又は「1」)に対応する低い周波数の部分と「1」(又は「0」)に対応する高い周波数の部分とからなる。リミッタ101においてFSK信号aは波形整形される。これにより、図4 (B)に示すリミッタ101の出力として信号bを得る。この信号bはFSK信号aの周波数偏移に応じて偏移したデジタル信号である。

【0004】波形整形後の信号bは単安定マルチバイブレータ102に入力される。単安定マルチバイブレータ102において、信号bのエッジが検出される。従って、単安定マルチバイブレータ102の出力であるエッジ検出信号cは、図4 (B)に示すようになる。このエッジ検出信号cは、そのパルス数が、信号bの周波数偏移に応じて、デジタル信号の「0」に対応する低い周波数の部分では「疎」になり、「1」に対応する高い周波数の部分では「密」になる信号である。

【0005】エッジ検出信号cはロウパスフィルタ(LPF)103に入力される。ロウパスフィルタ103により、エッジ検出信号cについて周波数弁別が行われる。この結果、図4 (B)に示すようなロウパスフィルタ103の出力信号dを得る。この出力信号dは、エッジ検出信号cの周波数が低い部分でロウレベルとされ、エッジ検出信号cの周波数が高い部分でハイレベルとされる。

【0006】弁別後のロウパスフィルタ103の出力信号dは比較器104に入力される。比較器104において、ロウパスフィルタ103の出力信号dは所定の基準レベルeと比較される。基準レベルeは、図4 (B)に

示すように、出力信号dのロウレベルとハイレベルとの中間の値である。これにより、比較器の出力として復調出力fを得る。この復調出力fは、図4(B)から判るように、2値の論理信号(デジタル信号)であり、FSK信号aの低い周波数の部分でデジタル信号の「0」とされ、FSK信号aの高い周波数の部分でデジタル信号の「1」とされる。即ち、この復調出力fはFSK信号aの周波数偏移に応じたデジタル信号であり、FSK信号aが復調されている。

【0007】

【発明が解決しようとする課題】図4(A)に示すFSK復調回路は、その一部がアナログ回路によって構成される。即ち、ロウパスフィルタ103及び比較器104はアナログ回路からなり、アナログ素子によって構成される。このため、以下のような問題があった。

【0008】図4(A)に示すFSK復調回路の他の部分、即ち、リミッタ101及び単安定マルチバイブレータ102は、デジタル回路であり、デジタル素子によって構成される。従って、アナログ素子からなるロウパスフィルタ103及び比較器104と、デジタル素子からなるリミッタ101及び単安定マルチバイブレータ102とを、1個のLSIチップに集積化することは難しい。このために、FSK復調回路を複数のICで構成することになり、装置の小型化が図れなかった。

【0009】逆に、アナログ素子からなるロウパスフィルタ103及び比較器104と、デジタル素子からなるリミッタ101及び単安定マルチバイブレータ102とを1個のLSIチップに集積化すると、その製造プロセスが複雑化することによって、FSK復調回路(LSIチップ)の製造コストが高くなってしまふ。

【0010】また、アナログ回路からなるロウパスフィルタ103及び比較器104については、必ずその調整が必要であり、煩わしい。なお、FSK復調回路は、パルス周期を弁別する方式とすれば、その全体をデジタル化できる。即ち、より高速のクロックパルスが発生させて、このクロックパルス数をリミッタ101の出力bのハイレベル及びロウレベルの間にカウントする。カウント値はFSK信号aの低い周波数の部分で大きくなり高い周波数の部分で小さくなる。従って、FSK信号aから形成したリミッタ101の出力bのパルス周期を弁別できる。即ち、FSK信号aの2個の周波数を弁別できるので、カウント値に基づいて復調出力を形成できる。

【0011】しかし、この方式によれば、以下のような問題がある。即ち、クロックパルスはFSK信号より十分に高速でなければならず、そのためのパルス発生回路が高価なものとなる。また、クロックパルスのカウントを開始する時期を、リミッタ101の出力bのハイレベル及びロウレベルの切り替わりの時期と正確に同期させなければならない。また、同期をとるための調整は難し

く、僅かな調整のずれが生じ易い。従って、正しい復調出力が得られない場合がある。

【0012】本発明は、比較的簡単な構成のデジタル回路からなるFSK復調回路を提供することを目的とする。また、本発明は、小型化、集積化が容易で調整が不要なFSK復調回路を提供することを目的とする。

【0013】また、本発明は、比較的簡単な構成で正確な復調出力を得ることができるFSK復調回路を提供することを目的とする。

10 【0014】

【課題を解決するための手段】図1は本発明の原理構成図であり、本発明によるFSK復調回路の構成を示す。図1のFSK復調回路は、入力されたFSK信号についての波形整形を行ってこれに対応するデジタル信号を形成して出力する波形整形回路1と、波形整形回路1の出力するデジタル信号をカウントして複数ビットのカウント信号を出力するカウンタ2と、FSK信号の2個の周波数及びビットレート周期で定まる所定の周期であってビットレート周期を複数の期間に分割しうる周期を有するリセット信号でカウンタ2をリセットするリセット手段3と、カウンタ2の出力するカウント信号の値に基づいてデジタル信号の論理レベルのいずれかを形成して、リセット手段3が形成したリセット信号に同期して、復調出力として出力する出力回路4とを備える。

【0015】

【作用】図1に示すFSK復調回路において、FSK信号が波形整形回路1に入力されると、FSK信号に対応するデジタル信号が形成される。従って、このデジタル信号は、FSK信号の低い周波数の部分に対応して出力(ハイレベルの部分)の数が少ない部分と、高い周波数の部分に対応して出力の数が多い部分とからなる。このデジタル信号自体をカウンタ2によりカウントして複数ビットのカウント出力を得る。

【0016】カウンタ2は、リセット手段3により、FSK信号の2個の周波数及びビットレート周期で定まる所定の周期であってビットレート周期を複数の期間に分割しうる周期でリセットされる。従って、FSK信号のビットレート周期を分割した各周期(期間)において、前記デジタル信号がカウントされる。これにより、カウンタ2の出力するカウント信号の値に基づいて、FSK信号の2個の周波数を弁別する。出力手段4は、カウンタ2の出力するカウント信号の値に基づいて、デジタル信号の「0」又は「1」を出力する。即ち、FSK信号が復調される。

【0017】このように、復調の元になるカウント信号は、FSK信号のビットレート周期を分割した各周期において前記デジタル信号自体をカウントした信号である。従って、カウントの開始の時期を、FSK信号に対応するデジタル信号の切り替わりの時期に同期させる必要がない。また、高速のクロックパルスを形成する必

要もない。これにより、特に難しい構成や調整によることなく、正確な復調出力を得ることができる。

【0018】また、例えば、リセット手段3は発振回路で構成でき、出力回路4はDフリップフロップ等により構成できるので、FSK復調回路の全部をデジタル回路（即ち、デジタル素子）によって構成することができる。これにより、製造プロセスの複雑化を避けて製造コストの増加を抑えることによって、FSK復調回路を1個のLSIチップに集積化することができる。従って、FSK復調回路の装置の小型化を図ることができる。また、アナログ回路を省略できるので、その調整を不要にできる。

【0019】

【実施例】図2は第1実施例説明図であり、図2(A)は第1実施例の構成を示すブロック図を示し、図2

(B)は第1実施例の動作を示す波形図を示す。

【0020】図2(A)に示すFSK復調回路は、波形整形回路1をリミッタ11により構成し、カウンタ2を複数ビットのバイナリカウンタ21により構成し、リセット手段3を発振回路31により構成し、出力回路4を第1のDフリップフロップ(FF1)41、ORゲート回路42及び第2のDフリップフロップ(FF2)43により構成した例である。

【0021】図2(A)に示すFSK復調回路において、受信されたFSK(変調)信号がリミッタ11に入力される。リミッタ11は、入力されたFSK信号を振幅制限回路により波形整形して、その出力(リミッタ出力)として方形波を得る回路である。即ち、アナログ信号であるFSK信号をデジタル信号に変換する回路である。

【0022】受信されたFSK信号は、その周波数が偏移されており、デジタル信号の「0」(又は「1」)に対応する低い周波数 $f_L$ の部分と「1」(又は「0」)に対応する高い周波数 $f_H$ の部分とからなる。リミッタ出力はデジタル信号であって、FSK信号の周波数偏移に応じて偏移した信号である。

【0023】なお、本実施例において、リミッタ11に対して入力されるFSK信号は、受信したFSK信号自体の他、中間周波変換波を含むものとする。即ち、受信したFSK信号(の搬送波)の周波数を低くするように周波数変換した後の信号(中間周波変換波)を、FSK信号としてリミッタ11に入力してもよい。

【0024】リミッタ11からのリミッタ出力はバイナリカウンタ21に入力される。バイナリカウンタ21は、縦列接続した複数ビット $b$ の単位バイナリカウンタからなる。即ち、バイナリカウンタ21は単位(1ビットの)バイナリカウンタを $b$ 個縦列接続した2進カウンタである。従って、バイナリカウンタ21は、入力されたデジタル信号であるリミッタ出力のハイレベルの数をカウントして、カウント値を2進数として出力する。

【0025】バイナリカウンタ21はデジタル信号であるリミッタ出力を基準信号として動作する。即ち、基準信号であるリミッタ出力の立ち上がり同期してカウント動作を開始する。また、バイナリカウンタ21は発振回路31の発振出力であるリセット信号によりリセットされる。

【0026】発振回路31は、バイナリカウンタ21を所定の周期でリセットするために当該周期で発振を繰り返し、その発振出力をリセット信号として出力する。発振即ちリセット信号はバイナリカウンタ21に入力される。また、リセット信号は、出力回路4のDフリップフロップ41、43に入力され、これらのクロック信号C<sub>K</sub>として用いられる。

【0027】前述の所定の周期は、基本的には、FSK信号の2個の周波数 $f_H$ 及び $f_L$ 、及びビットレート周期 $t$ (図2(B)参照)で定まる。ここで、ビットレート周期 $t$ は、図2(B)に示すように、FSK信号の搬送波( $f_c$ )のビットレート周期であって、FSK信号の「1」又は「0」が出力されている最小の時間を言うものとする。

【0028】以下、リセット信号の周期即ち、発振回路31の発振周期について説明する。本実施例においては、発振回路31は、FSK信号の2個の周波数 $f_H$ 及び $f_L$ とFSK信号のビットレート周期 $t$ とに加えて、更に、バイナリカウンタ21のビット数 $b$ とで定まる所定の周期で、バイナリカウンタ21をリセットする。本発明者の検討によれば、このような周期でバイナリカウンタ21をリセットすることにより、 $b$ ビットのバイナリカウンタ21の出力するカウント信号の最上位ビット(MSB)の値のみで、FSK信号の2個の周波数 $f_H$ 及び $f_L$ を弁別することができる。

【0029】今、発振回路31の発振周期が、ビットレート周期 $t$ の $n$ 倍であるとする。この場合、発振回路31は、 $t/n$ 時間毎に、リセット信号である発振出力を出力する。この発振出力によって、バイナリカウンタ21は $t/n$ 時間毎にリセットされる。即ち、ビットレート周期 $t$ を $n$ 個の期間に分割し、分割した各周期において、リミッタ出力(のハイレベルの数)がカウントされる。

【0030】従って、ある発振出力でリセットされた時から次の発振出力で再リセットされるまでの間( $t/n$ 時間)において、バイナリカウンタ21がカウントアップするFSK信号(リミッタ出力のハイレベル)の数は、以下のように表すことができる。即ち、FSK信号の2個の周波数の内の高い周波数 $f_H$ が入力されている場合、カウント値は $n * (f_H + \Delta f) / t$ となる。但し、 $f_H = f_c + \Delta f$ である。また、FSK信号の2個の周波数の内の低い周波数 $f_L$ が入力されている場合、カウント値は $n * (f_L - \Delta f) / t$ となる。但し、 $f_L = f_c - \Delta f$ である。

【0031】ここで、 $f_c$ はFSK信号の搬送波の中心周波数であり、例えば100MHz程度である。 $\Delta f$ はFSK信号の搬送波に重畳される可変周波数であり、例えば1MHz程度である。 $f_c$ 及び $\Delta f$ の値は予め定められる。従って、FSK信号の2個の周波数 $f_1$ 及び $f_2$ も予め定められる。

【0032】以上のようにカウント値が求まるので、 $n * (f_c - \Delta f) / t < 2^{b-1} < n * (f_c + \Delta f) / t$ であれば、ビット数 $b$ であるバイナリカウンタ21の最上位ビットのみで、FSK信号の2個の周波数を弁別

10

することができる。即ち、カウント値が $n * (f_c - \Delta f) / t$ より大きく、かつ、 $n * (f_c + \Delta f) / t$ より小さい時に、バイナリカウンタ21の最上位の単位バイナリカウンタの出力が、「1」となるようにすればよい。

【0033】本実施例では、この関係式を満足するように、予め定まっているFSK信号の2個の周波数 $f_1$ 及び $f_2$ とFSK信号のビットレート周期 $t$ とに対し、バイナリカウンタ21のビット数 $b$ と発振回路31の発振周期の倍率 $n$ とが選択され設定される。これにより、バイナリカウンタ21の最上位ビットのみで、 $t/n$ 時間毎に、その $t/n$ 時間（ビットレート周期 $t$ を $n$ 個の期間に分割した各々の周期）内に入力されたFSK信号の2個の周波数 $f_1$ 及び $f_2$ を弁別することができる。

【0034】発振回路31は、例えば、以上のようにして定まる発振回路31の発振周期でパルス出力を行うカウンタからなる。カウンタに与えるパルスは、所定の周期でパルス出力を得ればよいのであるから、高速である必要はない。このカウンタは、入力されたパルスをカウントして所定の値になったら、図2(B)に示すリセット信号と同様のパルス出力を出力すると共に、リセットされて再びカウントを開始する。

【0035】本実施例ではバイナリカウンタ21の最上位ビットの値（以下、カウンタMSB又はMSB）のみで周波数の弁別が可能であるので、バイナリカウンタ21のカウント出力の内、そのMSBの値（カウンタMSB）のみが出力回路4に入力される。従って、カウンタMSBは周波数弁別結果を示す信号であり、これに基づいて出力回路4において復調出力が形成される。なお、本実施例では、バイナリカウンタ21の最上位以外のビットの単位バイナリカウンタの値（MSB以外のビットの値）が、出力回路4に出力されることはない。

【0036】出力回路4において、カウンタMSBはDフリップフロップ（FF1）41のD端子及び2入力のORゲート回路42の一方の端子に入力される。Dフリップフロップ41のQ端子からの出力は、2入力のORゲート回路42の他方の端子に入力される。2入力のORゲート回路42の出力は、Dフリップフロップ42のD端子に入力される。Dフリップフロップ43のQ端子からの出力が、入力されたFSK信号の復調出力として

出力される。2個のDフリップフロップ41及び42は、共にそのクロック入力CKとして発振回路31の発振出力を用いる。

【0037】Dフリップフロップ41は、カウンタMSBのみを取り込み、これに基づいてデジタル信号の論理レベル「1」及び「0」のいずれか一方を形成して、発振回路31の発振出力に同期してそのQ端子から出力する。Dフリップフロップ41の出力（FF1出力）は、次の発振回路31の発振出力が入力されるまで、そのままの値で維持される。

【0038】本実施例では、Dフリップフロップ41の出力がQ端子から出力されるから、前記カウンタMSBが「1」の場合にはDフリップフロップ41の出力は「1」となり、カウンタMSBが「0」の場合にはDフリップフロップ41の出力も「0」となる。そして、次のクロック入力CK（発振回路31の発振出力）が入力されるまで、そのままの値で維持される。

【0039】従って、Dフリップフロップ41の出力は、ビットレート周期 $t$ を $n$ 個の期間に分割した各々の周期において、周波数弁別結果を示す信号（カウンタMSB）に対応した論理レベルの信号であり、かつ、当該各々の周期の期間中（次の周期の開始まで）その論理レベルが維持される信号である。そして、ビットレート周期 $t$ を分割した各々の周期において、同様にDフリップフロップ41の出力が形成される。この結果、Dフリップフロップ41の出力は、基本的には、入力されたFSK信号の復調出力であると考えて良い。

【0040】このように、本実施例は、復調信号形成の元になる周波数弁別結果を示す信号として、ビットレート周期 $t$ を $n$ 分割した各周期におけるカウント値を用いるものであり、かつ、FSK信号を波形整形して得た信号（リミッタ出力）自体のカウント値を用いるものである。従って、カウントの開始の時期を、FSK信号に対応するデジタル信号（リミッタ出力）の切り替わりの時期に同期させる必要がない。これにより、発振回路31等の構成を簡単なものにできる。

【0041】以上のように、Dフリップフロップ41の出力は、基本的には、入力されたFSK信号の復調出力であるが、FSK信号の2個の周波数 $f_1$ 及び $f_2$ の切り替えの時点において、受信したFSK信号の波形が乱れる場合がある。即ち、2個の周波数の切り替えの部分の波形が、図2(B)に示すような整った波形にはならないことが多い。従って、リミッタ出力の波形も、2個の周波数の切り替えの部分で、乱れることが予想される。一方、前述のように、本実施例では発振出力とリミッタ出力とは同期していない。

【0042】このため、Dフリップフロップ41の出力をそのまま復調出力とすると、誤差を含んだものとなる可能性がある。例えば、周波数 $f_1$ から周波数 $f_2$ への切り替え時の波形の乱れにより、ビットレート周期 $t$ を

50

n分割した周期のうちの切り替え時直前の周期において、バイナリカウンタ21のカウンタ値が所定の値に達せずに、本来出力されるべきカウンタMSBが出力されない場合がある。この場合、Dフリップフロップ41の出力において、出力されないカウンタMSBに対応する周期の分だけ、デジタル信号の「1」のレベルの期間が短くなってしまふ。そこで、本実施例では、ORゲート回路42及びDフリップフロップ43を用いて、復調出力が誤差を含まないように補正する。

【0043】ORゲート回路42は、Dフリップフロップ41の出力（FF1出力）とバイナリカウンタ21の最上位ビットの出力（カウンタMSB）とを取り込み、その論理和を形成して出力する。

【0044】Dフリップフロップ43は、発振回路31の発振出力に同期して、ORゲート回路42の出力（論理和）を取り込み、これに基づいてデジタル信号の論理レベル「1」及び「0」のいずれかを形成して、そのQ端子から出力する。Dフリップフロップ43の出力（FF2出力）は、次の発振回路31の発振出力が入力されるまで、そのままの値で維持される。

【0045】本実施例では、Dフリップフロップ43の出力がQ端子から出力されるから、前記論理和が「1」の場合にはDフリップフロップ43の出力は「1」となり、論理和が「0」の場合にはDフリップフロップ43の出力も「0」となる。そして、次のクロック入力CK（発振回路31の発振出力）が入力されるまで、そのままの値で維持される。

【0046】従って、例えば前述のように切り替え時の直前の本来出力されるべきカウンタMSBが得られなかったとしても、更にその前のカウンタMSBに基づく論理レベルがDフリップフロップ43から出力される。これにより、出力されないカウンタMSBに対応する周期の分だけ、デジタル信号の「1」のレベルの期間を長くすることができ、Dフリップフロップ41の復調出力を補正することができる。従って、Dフリップフロップ43の出力は、入力されたFSK信号の復調出力であって、FSK信号の2個の周波数の切り替え時についての補正をおこなったものである。

【0047】次に、図2（B）に示す波形図に従って、図2（A）に示すFSK復調回路の動作について具体的に説明する。図2（B）に示す波形のFSK信号がリミッタ11に入力される。リミッタ11は、入力されたFSK信号を波形整形して、図2（B）に示すリミッタ出力を得る。このリミッタ出力がバイナリカウンタ21に入力される。バイナリカウンタ21は入力されたリミッタ出力をカウントして、2進数として出力する。

【0048】バイナリカウンタ21は、図2（B）に示す発振回路31の発振出力により、図示の周期で定期的リセットされる。本実施例では、発振回路31の発振周期がFSK信号のビットレート周期tの4倍（n=

4）とされる。即ち、1個のビットレート周期tにおいて、4個の発振出力が形成され、バイナリカウンタ21は4回リセットされ、これにより、1個のビットレート周期tは4個の周期に分割される。

【0049】ここで、前述のように、FSK信号の2個の周波数 $f_0$ 及び $f_1$ は例えば101MHz及び99MHz程度と極めて高い周波数であるので、説明の便宜上、図2（B）に示すような信号であるとする。即ち、周波数 $f_0$ は1個のビットレート周期tにおいて8個のリミッタ出力（のハイレベル）が得られるような信号であり、周波数 $f_1$ は1個のビットレート周期tにおいて4個のリミッタ出力（のハイレベル）が得られるような信号であるとする。

【0050】この場合、1個のビットレート周期tを4分割した各周期において、周波数 $f_0$ のFSK信号が入力された場合にはバイナリカウンタ21のカウンタ値は「2」であり、周波数 $f_1$ のFSK信号が入力された場合にはバイナリカウンタ21のカウンタ値は「1」である。そこで、2個（b=2）の単位バイナリカウンタを縦列接続してバイナリカウンタ21とする。

【0051】従って、周波数 $f_0$ のFSK信号が入力された場合、バイナリカウンタ21は、2個目のFSK信号（のハイレベル）の入力に応じてこれをカウントし、縦列接続された2段目の単位バイナリカウンタの出力（カウンタMSB）を「1」とする。更に、カウンタMSBを「1」とした直後に、発振回路31の発振出力によりリセットされる。

【0052】また、周波数 $f_1$ のFSK信号が入力された場合、バイナリカウンタ21は、1個目のFSK信号（のハイレベル）をカウントした後に、発振回路31の発振出力によりリセットされる。従って、カウンタMSBが「1」とされることはない。この結果、バイナリカウンタ21の最上位ビットの値（カウンタMSB）は図2（B）に示すようになる。

【0053】カウンタMSBがDフリップフロップ41に入力される（「1」が入力される）と、その後のクロック入力CKによりDフリップフロップ41はデジタル信号の「1」を出力し、次のクロック入力CKまでこの出力を保つ。更に、続けてカウンタMSBが入力されるので、Dフリップフロップ41は「1」を出力し続ける。

【0054】一方、カウンタMSBが入力されない（「0」が入力される）と、その後のクロック入力CKによりDフリップフロップ41はデジタル信号の「0」を出力し、次のクロック入力CKまでこの出力を保つ。更に、続けてカウンタMSBが入力されないで、Dフリップフロップ41は「0」を出力し続ける。

【0055】この結果、Dフリップフロップ41の出力（FF1出力）は図2（B）に示すようになる。ここで、図2（B）に点線で示すように、周波数の切り替え

時の直前の本来出力されるべきカウンタMSBが得られなかったとする。この場合、Dフリップフロップ41の出力も、図中点線で示すように、本来デジタル信号の「1」であるべき期間が欠落した（短くなった）信号となる。この欠落した部分の長さは、1個のビットレート周期 $t$ を4分割した場合の1周期に等しい。

【0056】しかし、本実施例では、本来出力されるべきカウンタMSBの後のクロック入力CK1によりリセットされるまで、Dフリップフロップ41が「1」を出力している。従って、クロック入力CK1がDフリップフロップ43に入力されるまで、Dフリップフロップ41の出力とカウンタMSBとの論理和「1」がDフリップフロップ43に入力される。これにより、その後のクロック入力CK1によりDフリップフロップ43はデジタル信号の「1」を出力し、次のクロック入力CK2までこの出力を保つ。これにより、出力されなかったカウンタMSBのカウント周期（分割された周期）の次の周期においても、Dフリップフロップ43がデジタル信号の「1」を出力する。

【0057】一方、論理和「0」が入力されると、その後のクロック入力によりDフリップフロップ43はデジタル信号の「0」を出力し、次のクロック入力までこの出力を保つ。

【0058】この結果、Dフリップフロップ43の出力（FF2出力）は図2（B）に示すようになる。即ち、Dフリップフロップ41の出力の「1」であるべき期間が欠落した部分を本来の値の補正した信号を復調出力（FF2出力）として得る。

【0059】なお、前述したように、周波数の切り替え時に欠落した部分の長さ、即ち、復調の誤差は、ビットレート周期 $t$ を $n$ 分割した場合の1周期に等しい。従って、 $n$ の値を前記の「4」より更に大きな値とすれば、周波数の切り替え時に欠落する部分の長さ、即ち、復調の誤差を小さくすることができる。

【0060】なお、FSK信号の2個の周波数 $f_u$ 及び $f_l$ は例えば101MHz及び99MHz程度と極めて高い周波数であるので、 $n$ の値をより大きな値とすることは可能である。本実施例は、説明の便宜のために $n=4$ としたものである。また、同様に、実際のバイナリカウンタ21のビット数 $b$ はより大きな値とされる。

【0061】図3は第2実施例説明図であり、図3（A）は第2実施例の構成を示すブロック図を示し、図3（B）は第2実施例の動作を示す波形図を示す。図3（A）に示すFSK復調回路は、波形整形回路1をリミッタ11により構成し、カウンタ2を複数ビットのバイナリカウンタ21により構成し、リセット手段3を発振回路31により構成し、出力回路4を記憶素子44及びDフリップフロップ45により構成する。従って、図3（A）に示すFSK復調回路は、その出力回路4の構成が図2（A）に示すFSK復調回路と異なる。

【0062】この実施例は、第1実施例におけるバイナリカウンタ21のビット数 $b$ についての制限を無くしてその構成を単純化すると共に、第1実施例と同様に正確な復調出力を得ることができる例である。従って、この実施例では、発振回路31の発振周期はFSK信号の2個の周波数 $f_u$ 及び $f_l$ とビットレート周期 $t$ とで定まり、発振回路31はこの所定の周期で発振し、発振出力をリセット信号として出力する。

【0063】前述のように、発振回路31の発振周期のビットレート周期 $t$ に対する倍率 $n$ を定めると、ビットレート周期 $t$ を $n$ 個の期間に分割した各周期において、バイナリカウンタ21がカウントアップするFSK信号（リミッタ出力のハイレベル）の数は、高い周波数 $f_u$ が入力されている場合 $n * (f_u + \Delta f) / t$ となり、低い周波数 $f_l$ が入力されている場合 $n * (f_l - \Delta f) / t$ となる。

【0064】このようなカウント値の理論的な値は予め知ることができるので、 $n * (f_u - \Delta f) / t$ と $n * (f_l + \Delta f) / t$ との間に閾値を設定する。実際のカウンタ値が閾値より小さければ、 $n * (f_u - \Delta f) / t$ であると考えることができ、低い周波数 $f_l$ が入力されていることになる。逆に、実際のカウンタ値が閾値より大きければ、 $n * (f_l - \Delta f) / t$ であると考えることができ、高い周波数 $f_u$ が入力されていることになる。即ち、周波数の弁別が可能である。

【0065】そこで、本実施例は、バイナリカウンタ21の最上位ビットのみでなく、バイナリカウンタ21を構成する単位バイナリカウンタの各々の出力を、周波数弁別信号として用いる。具体的には、単位バイナリカウンタの各々の出力は、記憶素子44のアドレス信号として用いられる。これにより、バイナリカウンタ21のビット数 $b$ に対する制約を無くすと共に、前記理論的なカウンタ値及び周波数切り替え時の波形の乱れの双方を考慮して最適な閾値を設定して誤差の極めて少ない復調出力を得ることができる。

【0066】記憶素子44は所定のアドレスにデジタル信号の論理レベル「1」又は「0」のいずれかを予め格納する。記憶素子44は、バイナリカウンタ21の複数ビットの出力をそのアドレス信号として取り込んで、当該アドレスに格納されたデジタル信号の論理レベル「1」又は「0」を出力する。なお、記憶素子44は、例えばROM（読み出し専用メモリ）からなる。なお、記憶素子44は、RAM（読み出し／書き込みメモリ）等で構成しても良い。

【0067】例えば、カウンタ値 $n * (f_u - \Delta f) / t$ 及び $n * (f_l + \Delta f) / t$ の理論的な値が、各々、「10（10進数）」及び「11（10進数）」であるとする。この場合、閾値は「10.5」である。記憶素子44は、そのアドレス「10」に「0」を格納し、アドレス「11」に「1」を格納する。これにより、記憶



素子44は間接的に閾値を格納している。

【0068】この場合、バイナリカウンタ21のカウンタ値が「10（10進数）」であると、この値が記憶素子44のアドレスとされ、記憶素子44はデジタル信号の「0」を出力する。一方、バイナリカウンタ21のカウンタ値が「11（10進数）」であると、この値が記憶素子44のアドレスとされ、記憶素子44はデジタル信号の「1」を出力する。

【0069】Dフリップフロップ45は、記憶素子44の出力（記憶素子出力）を取り込んで、これに基づいてデジタル信号の論理レベル「1」及び「0」のいずれか一方を形成して、発振回路31の発振出力に同期してそのQ端子から出力する。記憶素子出力が「1」及び「0」の場合、各々、Dフリップフロップ45の出力も「1」及び「0」となる。Dフリップフロップ45の出力（FF出力）は、次のクロック入力CKが入力されるまで、そのまゝの値で維持される。

【0070】なお、記憶素子44に閾値を直接格納し、これとバイナリカウンタ21の出力するカウンタ値との大小を比較して、カウンタ値が閾値より大きい場合にDフリップフロップ45からデジタル信号の「1」をデジタルするようにしてもよい。

【0071】次に、図3（B）に示す波形図に従って、図3（A）に示すFSK復調回路の動作について具体的に説明する。図2（B）に示すと様にして、図3（B）に示すリミッタ出力を得る。バイナリカウンタ21はリミッタ出力をカウンタして、2進数として出力する。

【0072】バイナリカウンタ21は、図3（B）に示す発振回路31の発振出力により、図示の周期で定期的リセットされる。本実施例でも、発振回路31の発振周期がビットレート周期 $t$ の4倍（ $n=4$ ）とされる。また、説明の便宜上、図2（B）と同様に、FSK信号の2個の周波数 $f_0$ 及び $f_1$ は、図3（B）に示すような信号であるとする。

【0073】この場合、ビットレート周期 $t$ を4分割した各周期において、周波数 $f_0$ が入力された場合のバイナリカウンタ21のカウンタ値は「2（10進数）」であり、周波数 $f_1$ が入力された場合のカウンタ値は「1（10進数）」である。閾値は「1.5（10進数）」である。バイナリカウンタ21は2個の単位バイナリカウンタを縦列接続した構成とされる。

【0074】従って、周波数 $f_0$ が入力された場合、バイナリカウンタ21は「2」を出力する。即ち、縦列接続された1段目及び2段目の単位バイナリカウンタの出力を、各々、「0」及び「1」とする。これにより、アドレス「（10）」が得られる。また、周波数 $f_1$ が入力された場合、バイナリカウンタ21は「1」を出力する。即ち、縦列接続された1段目及び2段目の単位バ

イナリカウンタの出力を、各々、「1」及び「0」とする。これにより、アドレス「（01）」が得られる。

【0075】アドレス「（10）」が記憶素子44に入力されると、記憶素子44は当該アドレスに格納されているデジタル信号の「1」を出力する。一方、アドレス「（01）」が記憶素子44に入力されると、記憶素子44は当該アドレスに格納されているデジタル信号の「0」を出力する。この結果、記憶素子44の出力（記憶素子出力）は図3（B）に示すようになる。これと図2（B）との対比から判るように、周波数の切り替え時において、記憶素子44の出力波形が乱れることはない。

【0076】Dフリップフロップ45に「1」が入力されると、その後のクロック入力CKによりDフリップフロップ45はデジタル信号の「1」を出力し、次のクロック入力CKまでこの出力を保つ。一方、「0」が入力されると、その後のクロック入力によりDフリップフロップ45はデジタル信号の「0」を出力し、次のクロック入力までこの出力を保つ。この結果、Dフリップフロップ45の出力（FF出力）は図3（B）に示すようになる。即ち、復調出力（FF出力）を得る。

【0077】

【発明の効果】以上説明したように、本発明によれば、FSK復調回路において、FSK信号の2個の周波数及びビットレートで定まる所定の周期でカウンタをリセットして、カウンタ手段の出力するカウンタ信号の最上位ビットのみでFSK信号の2個の周波数を弁別することにより、FSK復調回路の全体をデジタル素子によって構成することができるので、その製造プロセスの複雑化を避けて製造コストの増加を抑えることによって1個のLSIチップに集積化することができ、装置の小型化を図ることができ、また、アナログ回路を省略できるのでその調整を不要にできる。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】第1実施例説明図である。

【図3】第2実施例説明図である。

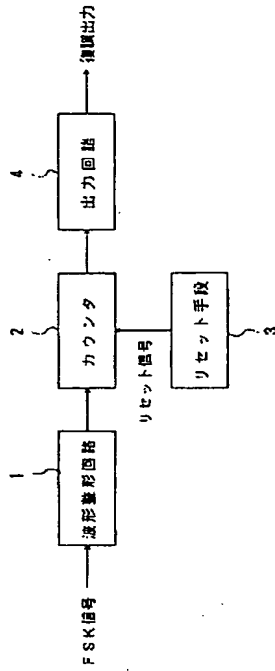
【図4】従来技術説明図である。

【符号の説明】

- |          |           |
|----------|-----------|
| 1        | 波形整形回路    |
| 2        | カウンタ      |
| 3        | リセット手段    |
| 4        | 出力回路      |
| 11       | リミッタ      |
| 21       | バイナリカウンタ  |
| 31       | 発振回路      |
| 41、43、45 | Dフリップフロップ |
| 42       | ORゲート回路   |
| 44       | 記憶素子      |

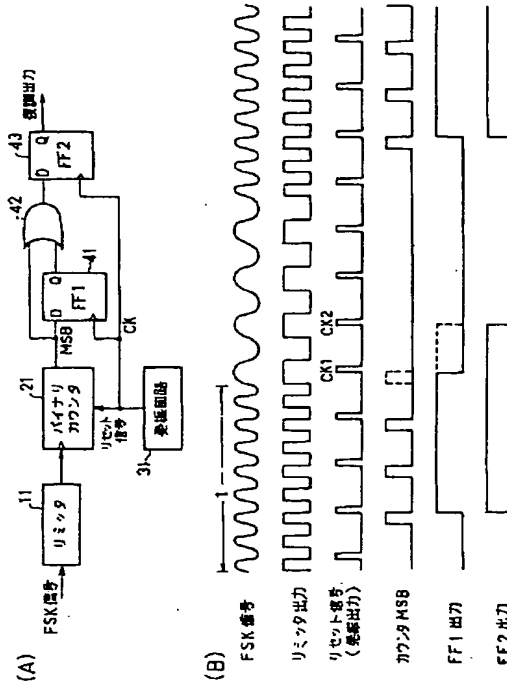
〔図1〕

本発明の原理構成図



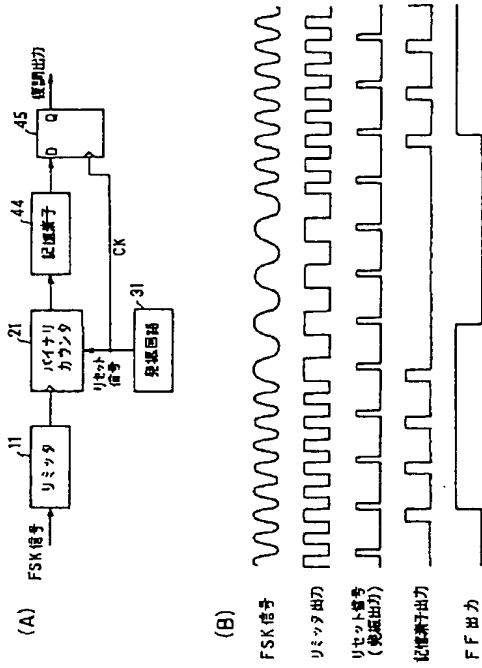
〔図2〕

第1実施例説明図



【図3】

第2実施例説明図



【図4】

従来技術説明図

